

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 63026084  
 PUBLICATION DATE : 03-02-88

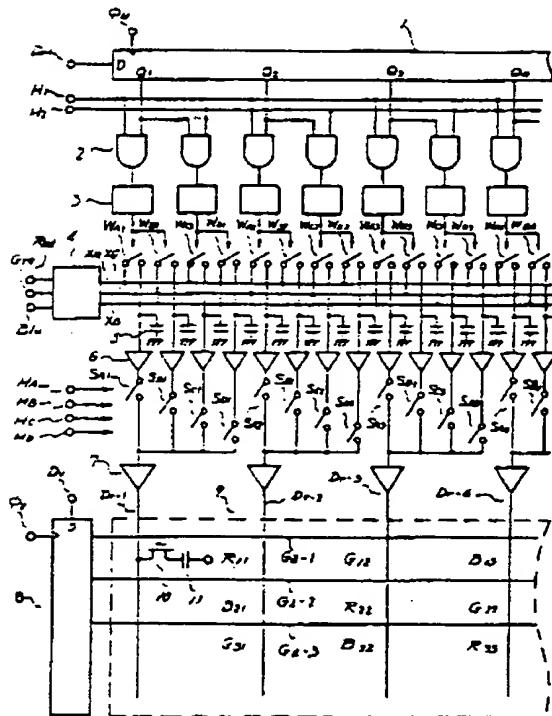
APPLICATION DATE : 22-09-86  
 APPLICATION NUMBER : 61221842

APPLICANT : HITACHI LTD;

INVENTOR : TAKASHIMIZU SATOSHI;

INT.CL. : H04N 5/66 H04N 9/12

TITLE : SEQUENTIAL SCANNING CIRCUIT  
 FOR DOUBLE SPEED LINE



ABSTRACT : PURPOSE: To drive the picture elements of two lines during one horizontal scanning cycle by dividing two different signal voltages sampled during a preceding horizontal scanning cycle twice and outputting during the one horizontal scanning cycle and driving the column signal electrode of an active matrix type liquid crystal panel.

CONSTITUTION: In the first horizontal scanning cycle of the first field, a shift matrix circuit 4 for inputting three primary color picture signals Red, Gre, Blu outputs signals Red, Rre, Rlu respectively to the respective signal lines of XR, XG, XB. In the first half of the subsequent second horizontal scanning cycle, the first line scanning electrode Ga-1 is selected and a signal R<sub>1</sub> suitable for the picture element of the first line is applied to the column signal electrode D<sub>r-k</sub>. In the latter half of the second horizontal scanning cycle, the second line scanning electrode Ga-2 is selected and a signal B<sub>2</sub> suitable for the picture element of the second line is applied to the column signal electrode D<sub>r-k</sub>. Thereafter, a similar operation is repeated, when the number of the vertical picture elements is 480 picture elements, for instance, the three primary color picture signals are sampled during the 240th horizontal scanning cycle and all the picture elements are selected and driven once respectively until the 241th horizontal scanning cycle.

COPYRIGHT: (C)1988,JPO&Japio

## ⑪ 公開特許公報 (A)

昭63-26084

⑫ Int. Cl. 4

H 04 N 5/66  
9/12

識別記号

102

庁内整理番号

B-7245-5C  
7060-5C

⑬ 公開 昭和63年(1988)2月3日

審査請求 未請求 発明の数 1 (全15頁)

⑭ 発明の名称 倍速線順次走査回路

⑮ 特願 昭61-221842

⑯ 出願 昭61(1986)9月22日

優先権主張 ⑰ 昭61(1986)3月3日 ⑱ 日本 (JP) ⑲ 特願 昭61-43967

⑳ 発明者 甲 展 明 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉑ 発明者 安藤 久仁夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉒ 発明者 木村 雄一郎 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉓ 発明者 高清水 聰 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉔ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉕ 代理人 弁理士 小川 勝男 外1名

## 明 細 告

## 1. 発明の名称

倍速線順次走査回路

## 2. 特許請求の範囲

1. マトリクス配置したスイッチング電子と表示要素から成る画素を有し、このスイッチング電子をオン、オフすることにより画像を表示するようにしたアクティブマトリクス型テレビ画像表示装置において、1列の信号電極を駆動する単位駆動回路中に複数のサンプルホールド回路を備え、1水平走査周期の間に該単位回路中複数のサンプルホールド回路が画像信号をサンプリング動作するように制御する制御回路と、1水平走査周期の間に該単位回路中複数のサンプルホールド回路の出力を選択して該信号電極を駆動する回路を設けたことを特徴とする、アクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、マトリクス配置したスイッチング電子と液晶等の表示要素から成る画素を有するアクティブマトリクス型表示装置用倍速線順次走査回路に関する。

## 〔従来の技術〕

画面サイズが6程度以上のカラーテレビ画像表示装置では、特に解像度が要求されるため、例えばNTSC方式画像信号を入力とする場合、有効水平走査線数約480本を表示する必要があり、アクティブマトリクス型テレビ画像表示装置の垂直方向画素数は約480必要である。NTSC方式画像信号はフレーム周期30Hzのインターレース信号であるため、1水平走査周期中に1行の画素しか選択しない従来の駆動方法を用いると各画素は1フレームに1回選択されてその画素に対応した画像信号で駆動されることになる。ここで、表示電子として例えば液晶電子を用いると、その寿命の点から交流駆動する必要があるので、フレーム毎に画像信号の極性を反転させて駆動することになるが、この時液晶電子の交流化周波数はフレーム

トレジスタ1の各段の出力は、水平走査周期毎に切換わる互いに論理レベルが反転している信号H<sub>1</sub>及びH<sub>2</sub>と共にアンド(AND)回路2に入力され、2水平走査周期毎に1回階次選択する信号を形成し、レベルシフタ3でアナログスイッチW<sub>ij</sub>(i=A, B, C, D, j=1, 2, 3, ...)を駆動できる電圧レベルに変換している。アナログスイッチW<sub>ij</sub>はホールド容量5と共にサンプルホールド回路を形成しており、それぞれのサンプルホールド回路は2水平走査周期に1回テレビ画像信号X<sub>R</sub>, X<sub>G</sub>, X<sub>B</sub>を階次サンプリングし、ホールド容量5にそれぞれ駆動を担当する列信号電圧D<sub>r</sub>に見合った信号電圧がホールドされる。このホールドされた信号電圧が高入力インピーダンス・ボルテージフォロワ6を通して選択アナログスイッチS<sub>ij</sub>(i=A, B, C, D, j=1, 2, 3, ...)に加えられ、ホールドされた信号電圧を制御信号H<sub>A</sub>, H<sub>B</sub>, H<sub>G</sub>, H<sub>D</sub>により水平走査周期の半分の周期毎に切換えてバッファアンプ7に入力し、その出力で列信号電圧D<sub>r</sub>を駆動するも

の駆動回路を取り上げて、第2図によりさらに駆動信号について具体的に説明を加えることにする。4+1, 4+2列目の列信号電圧D<sub>r</sub>-4+1, D<sub>r</sub>-4+2の駆動回路については、以下の説明において、(Red, Gre, Blu, R, G, B)をそれぞれ(Gre, Blu, Red, G, B, R)と(Blu, Red, Gre, B, R, G)に置き換えるべき同様な動作になるので、説明は省略する。

ここで、アナログスイッチW<sub>A4</sub>, W<sub>B4</sub>, W<sub>C4</sub>, W<sub>D4</sub>と各ホールド容量5からなるサンプルホールド回路を、それぞれS/H-A, S/H-B, S/H-C, S/H-Dと呼ぶことにし、そのサンプリング動作期間を'W'、選択スイッチS<sub>A4</sub>, S<sub>B4</sub>, S<sub>C4</sub>, S<sub>D4</sub>がそれぞれ選択されてバッファアンプ7に送られ、列信号電圧D<sub>r</sub>-1を駆動する出力期間を'R'といふ記号をつけて示している。尚、サンプリング期間'W'の後に続く()内には、各サンプルホールド回路にサンプリングされる3原色信号Red(赤), Gre(緑), Blu(青)の組合を示している。出力期間'R'の後に続く()内には、駆動

の出力インピーダンス及びアナログスイッチS<sub>ij</sub>のオン抵抗が十分低い場合は、バッファアンプ7を省略してもさしつかえない。

次に、垂直走査用シフトレジスタ8には、水平走査周波数の2倍の周波数のクロックパルス&と、垂直同期信号を遅延させて得られる垂直走査開始信号D<sub>V</sub>を印加し、テレビの水平走査線に相当する行走査電圧G<sub>A</sub>ICゲートが接続されているMOSトランジスタ10をオンさせて、液晶セル11に列信号電圧D<sub>r</sub>に与えられた信号電圧を加えて画像を表示するものである。尚、液晶自体やMOSトランジスタ10のオフ時のリークが無視できない場合、各画素の液晶駆動基板に信号保持容量を付加すればよい。

また、全ての液晶セルの片方の電極は共通に接続され、液晶を交流駆動するために信号電圧のはば中点電位が与えられる。

これまで述べてきた動作を、4(-3j-2;j=1, 2, 3, ...)列目の列信号電圧D<sub>r</sub>-

する画素が表示する色R(赤), G(緑), B(青)と、その画素の属する行走査電圧の番号を示す番号が記入されている。

第1フィールドの第1水平走査周期において、3原色画像信号Red, Gre, Bluを入力とするシフトマトリクス回路4は、X<sub>R</sub>, X<sub>G</sub>, X<sub>B</sub>の各信号線にそれぞれ、Red, Gre, Bluの信号を出力する。この時、その有効表示期間中にS/H-A及びBがそれぞれRed, Bluをサンプリングする。この時の番号が小さいサンプルホールド回路は有効表示期間の始め付近でサンプリングし、上の番号が大きいサンプルホールド回路は有効表示期間の終わり付近でサンプリングすることになる。このことは、以降に述べるサンプリング期間でも同様である。

続く第2水平走査周期の前半において、第1行走査電圧G<sub>A</sub>-1が選択されると同時に、S/H-Aから第1行目の画素に見合う信号R<sub>1</sub>が列信号電圧D<sub>r</sub>-1に加えられる。第2水平走査周期の後半では、第2行走査電圧G<sub>A</sub>-2が選択される

一系統備えた回路を用いてもよい。この場合3系統のシフトレジスタのクロックはそれぞれ位相が120度異なる3相クロックを用いることにより、第4図に示した出力波形が得られる。

第5図は、第1図の制御端子H<sub>1</sub>、H<sub>2</sub>、H<sub>A</sub>、H<sub>B</sub>、H<sub>C</sub>、H<sub>D</sub>に与える信号を形成するための回路例である。25は4進カウンタ、26は2対4デコーダである。4進カウンタ25は、水平走査周期の半分の周期のクロックH/2（例えば垂直走査用シフトレジスタのクロックφ<sub>V</sub>で代用しても良い。）を与えると、上位ビットQ<sub>1</sub>には水平走査周期毎に反転する信号が得られ、同時にその反転信号Q<sub>1</sub>が得られる。これらの信号は、丁度、第1図のH<sub>1</sub>、H<sub>2</sub>で要求する信号に他ならない。また、4進カウンタ25の出力を2対4デコーダ26に加えて得られる信号O<sub>0</sub>、O<sub>1</sub>、O<sub>2</sub>、O<sub>3</sub>、は水平走査周期の半分の時間毎に順次選択して行く信号であり、第2図の動作波形を参考にすると、それぞれ、第1図のH<sub>C</sub>、H<sub>D</sub>、H<sub>A</sub>、H<sub>B</sub>端子に必要な信号であることがわかる。尚、4進カウンタ

るサンプルホールド回路を省略することができている。しかし、第7図においてS/H-Aは、水平有効表示信号期間中は常にサンプリング動作させなければならないため、サンプルホールド回路からの出力期間は水平帰線期間内にする必要が生じ、第2図に比べて出力期間が短くなる。このため、出力制御付バッファアンプ12を用いて、水平帰線期間に相当する時間だけバッファアンプを動作させて列信号電極D<sub>r</sub>を駆動し、残りの期間は列信号電極D<sub>r</sub>に接続されているホールド容量13によりその信号電圧をホールドさせる。S/H-B、Cについては出力時間の制限はないが、駆動電圧のばらつき等を考慮して、S/H-Aと同じ出力時間用いている。

第1図の実施例においてバッファアンプ7は常に動作し続けるものとして説明したが第6図に示したような出力制御付バッファアンプを用いてもかまわない。尚、ポールテージフォロワ6の出力インピーダンス及びアナログスイッチSのオン抵抗が十分低ければ、出力制御付バッファアンプ12

25のリセット端子Rには、垂直走査用シフトレジスタとの同期をとるために垂直同期信号と同期した信号R<sub>V</sub>を加える必要がある。第1図の倍速順次走査回路をIC化する場合、第5図の制御回路を内蔵化することにより入力端子数を低減できる効果がある。

本発明の他の一実施例を第6図に示し、その動作波形を第7図に示す。第1図と大きく異なる点は、1列信号電極駆動回路当たりのサンプルホールド回路が3系統から3系統に渡り、バッファアンプに代わり、出力を高インピーダンス状態にできる出力制御付バッファアンプ12を用い、ホールド容量13を列信号電極D<sub>r</sub>に接続した点である。尚、列信号電極D<sub>r</sub>のリードが少ない時、その浮遊容量をホールド容量13として使用できる場合もある。

第2図と第7図の動作波形例を比べるとわかるように、第7図のS/H-Aは、第2図のS/H-AとCの動作を兼務していることがわかる。このため、第6図の実施例ではS/H-Cに相当す

るサンプルホールド回路を省略しても、同様な動作が期待できる。

このように、第6図の実施例によれば、サンプルホールド回路の数を第1図の実施例に比べて、3/4にすることができるので、倍速順次走査回路規模を低減できる効果がある。

第8図は本発明の他の一実施例である。第6図の実施例と同様に1列信号電極当たりのサンプルホールド回路3が3系統であり、出力制御付バッファアンプ12を用いているが、大きく異なる点は第1図及び第6図の実施例に用いていたシフトマトリクス4を省略した点である。その他には、3系統のサンプルホールド回路のサンプリング期間を決めるアンド回路2がそれぞれに設けられている点、また、サンプルホールド回路と3原色画像信号R<sub>ed</sub>、G<sub>re</sub>、B<sub>lu</sub>との接続駆が異なる点があげられる。次に第8図の実施例の動作を、第9図の動作波形例を用いて、以下説明する。

第9図の動作波形例を見ると、第2図や第7図と比べて、各サンプルホールド回路S/H-A、B、Cで扱う3原色画像信号がそれぞれR<sub>ed</sub>、B<sub>lu</sub>、

$H_1$  及び  $H_2$  と共に論理積 (AND) 回路 2 に入力され、2 水平走査周期毎に 1 回順次選択する信号を形成し、シフトレジスタ 1 の各段出力と共に、レベルシフタ 3 に入力し、アナログスイッチ  $W_{ij}$  ( $i = A, B, C, j = 1, 2, 3, \dots$ ) を駆動する。アナログスイッチ  $W_{ij}$  はホールド容量 5 と共にサンプルホールド回路を形成しており、アナログスイッチ  $W_{ij}$  を含むサンプルホールド回路は 1 水平走査周期に 1 回、アナログスイッチ  $W_{Bj}$ ,  $W_{Cj}$  を含むサンプルホールド回路は 2 水平走査周期中に 1 回、テレビ画像信号  $R+$ ,  $R-$  等を順次サンプリングし、ホールド容量 5 にそれぞれ駆動を担当する列信号電極  $D_r$  に見合う信号電圧がホールドされる。このホールドされた信号電圧が高入力インピーダンス・ポルテージフォロワ 6 を通して選択アナログスイッチ  $S_{ij}$  ( $i = A, B, C, j = 1, 2, 3, \dots$ ) に加えられ、ホールドされた信号電圧を適当な制御信号  $H_A$ ,  $H_B$ ,  $H_C$  により切換えて、出力制御付バッファアンプ 12 に入力し、その出力で列信号電極  $D_r$  を駆動するもので

電極の番号を示す添字を記入している。

第 1 フィールドの第 1 水平走査周期において、その有効表示期間中に  $S/H-A$  及び  $B$  がそれぞれ  $R+$ ,  $R-$  をサンプリングする。この時の番号が小さいサンプルホールド回路は有効表示期間の始め付近でサンプリングし、4 の番号が大きいサンプルホールド回路は有効表示期間の終わり付近でサンプリングすることになる。このことは、以降に述べるサンプリング期間でも同様である。

続く第 1 水平走査周期の帰線期間において、第 1 行走査電極  $G_a-1$  が選択されると同時に  $S/H-A$  から第 1 行目の画素に見合う信号  $R_1$  ( $R+$ ) がバッファアンプ 12 を通して列信号電極  $D_r-4$  に加えられた後、バッファアンプ 12 の出力が高インピーダンス状態となり、列信号電極  $D_r-4$  が次に駆動されるまでその画素信号をホールドし、第 1 行目の液晶セルへその信号が書き込まれる。

第 2 水平走査周期の有効表示期間において、読み出し動作が終了した  $S/H-A$  と、待機していた  $S/H-C$  が、それぞれ  $R+$ ,  $R-$  をサンプリ

ある。尚、ポルテージフォロワ 6 の出力インピーダンス及びアナログスイッチ  $S_{ij}$  のオン抵抗が十分低い場合は、バッファアンプ 7 を省略してもさしつかえない。

これまで述べてきた動作を  $4(-3+2; j=1, 2, 3, \dots)$  列目の列信号電極  $D_r-4$  の駆動回路を取り上げて、第 14 図の動作波形図を用い、さらに具体的に説明する。 $4+1$ ,  $4+2$  列目の列信号電極  $D_r-4+1$ ,  $D_r-4+2$  の駆動回路については、以下の説明で  $R$  をそれぞれ  $G$ ,  $B$  に置き換えれば同様な動作となるため、説明は省略する。

第 14 図において、サンプリング期間 “W” の後に続く () 内には、各サンプルホールド回路にサンプリングされる 3 原色信号  $R+$  (赤色正極性)、 $R-$  (赤色負極性)、 $G+$  (緑色正極性)、 $G-$  (緑色負極性)、 $B+$  (青色正極性)、 $B-$  (青色負極性) の種類を示している。出力期間 “R” の後に続く () 内には、駆動する画素が表示する色  $R$  (赤)、 $G$  (緑)、 $B$  (青) とその画素が持つ行走査

シグナル。また、この有効表示期間中の適当な時刻 (例えば有効表示期間の最終時刻より、水平走査周期の半分の時間だけ前の時刻) より、第 1 行走査電極  $G_a-1$  が非選択となり第 2 行走査電極  $G_a-2$  が選択されると共に、それまで画素信号をホールドしていた  $S/H-B$  から第 2 行目の画素に見合う信号  $R_2$  ( $R-$ ) がバッファアンプ 12 を通して列信号電極  $D_r-4$  にある所定の時間 (例えば水平帰線時間) 加えられた後、再びバッファアンプ 12 の出力が高インピーダンス状態となり、次に駆動されるまでその画素信号をホールドし、第 2 行目の液晶セルへその信号が書き込まれる。

続く第 2 水平走査周期の帰線期間において第 2 行走査電極  $G_a-2$  が非選択となり、第 3 行走査電極が選択されると共に  $S/H-A$  から第 3 行目の画素に見合う信号  $R_3$  ( $R+$ ) が列信号電極  $D_r-4$  に読み出され、第 3 行目の液晶セルが駆動される。

以下同様な動作をくり返し、奇数走査周期の有効表示期間中では  $S/H-A$  と  $B$  が、偶数走査周

タ配置液晶パネルタを行毎に極性が反転した画像信号で駆動する倍速線順次走査回路を示した構成図である。第16図の実施例と異なる点は、サンプルホールド回路を各列信号電極駆動回路を4系統設けており、水平走査周期毎にサンプリングモードサンプルホールド2系統と読み出しモードサンプリングホールド2系統を切り換えて用いる構成になっている点と、バッファアンプ7が常に動作状態になっており、ドレインバスが高インピーダンス状態になることがない点である。

第21図の動作波形例は第17図と同様に、64+1 ( $A = 0, 1, 2, \dots$ )番目の列信号電極  $D_r - 64 + 1$  を駆動する回路の動作例を示したものである。信号線  $X_{R+}$ ,  $X_{B-}$  には  $R+$ ,  $G+$  等の3原色の正負極性信号が第22図に示すように水平走査周期毎にシフトマトリクス4によって順次与えられ、例えば第1水平走査周期において  $S/H - A$  及び  $B$  がそれぞれ  $R+$ ,  $B$ -原色信号をサンプリングし、第2水平走査周期の前半で  $S/H - A$  がホールドしている  $R+$  信号を、後半で  $S$

れ、第23図に示すように、各画素はフィールド毎に極性反転した信号で駆動されると共に、各ドレインバスも水平走査周期の半分毎に極性反転した信号で駆動できる。

#### 〔発明の効果〕

以上説明したように、本発明によればディジタル倍速変換回路を用いることなく、1水平走査周期中に2行の画素を容易に選択駆動ができるので、例えばNTSCテレビ画像信号で垂直画素数が約480ある液晶パネルを駆動する時、1フィールド毎に画像信号の極性を反転させることにより液晶セルに印加する電圧は2フィールド(1フレーム)周期、すなわち30Hzの交流信号となり、フリッカが少なく、また長寿命のアクティブマトリクス型液晶テレビ画像表示装置用倍速線順次走査回路を提供することができる。

#### 4. 図面の簡単な説明

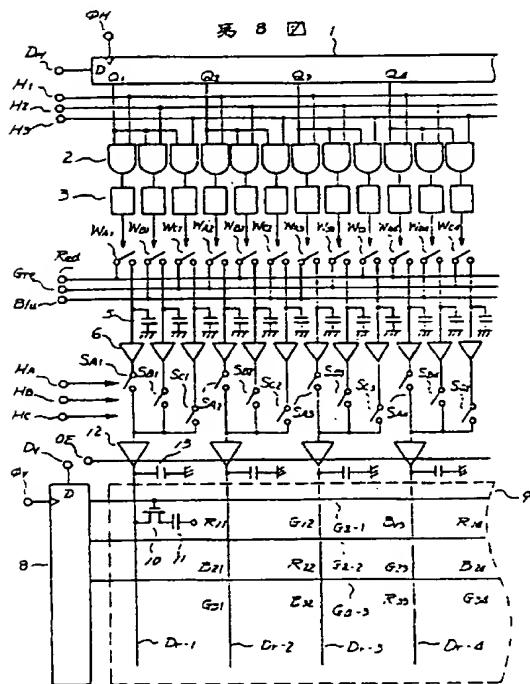
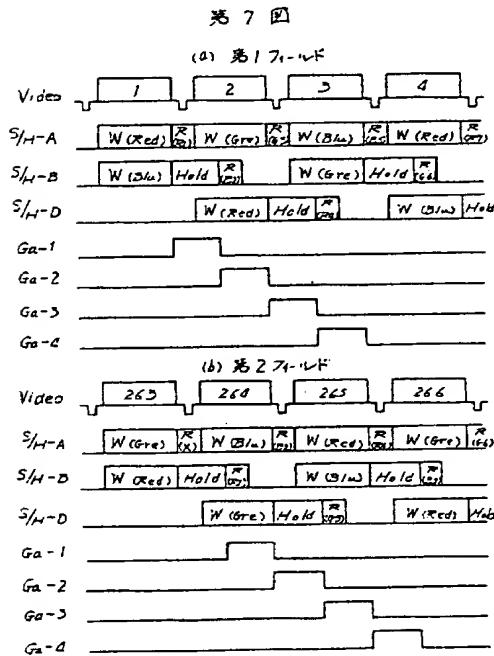
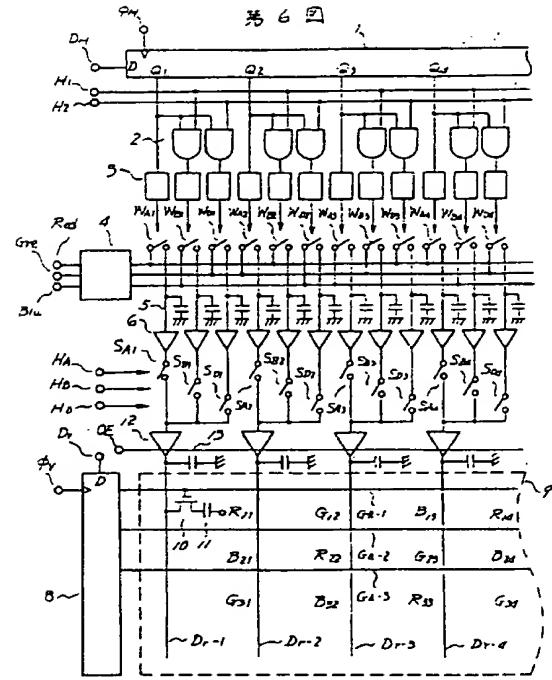
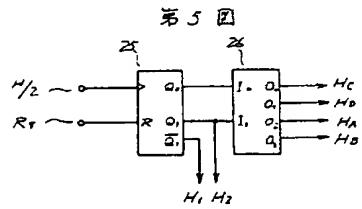
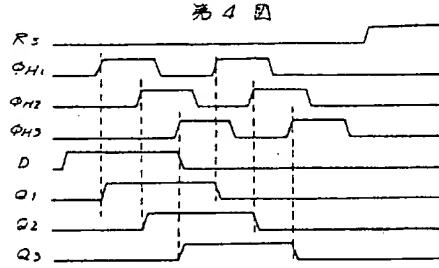
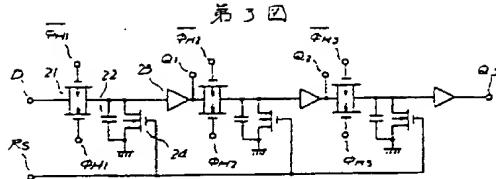
第1図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第一の実施例を示す構成図、第2図は第1図に示した

$/H - B$  がホールドしている  $B$ -信号をドレインバス  $D_r - 64 + 1$  に出力する。第2水平走査周期の前半では、ゲートバス  $G_a - 1$  が、後半ではゲートバス  $G_a - 2$  が選択されるので、第1行目の画素に  $R+$ 、第2行目の画素  $B$ -信号を書き込むことになる。同時に、第2水平走査周期では  $S/H - C$  及び  $D$  がそれぞれ  $G+$ ,  $R$ -信号をサンプリングしている。

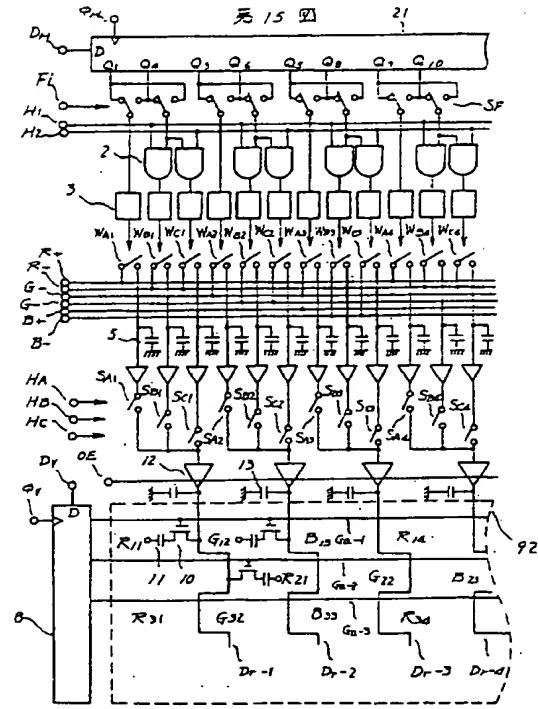
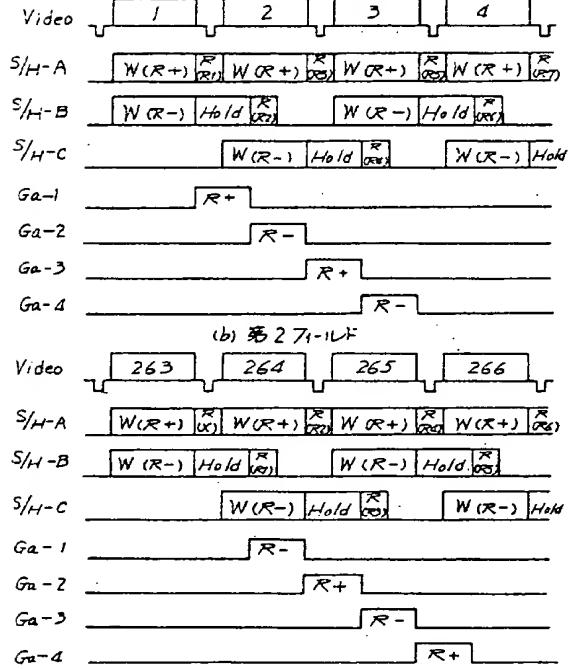
第3水平走査周期の前半で  $S/H - C$  がホールドしている  $G+$  信号を後半で  $S/H - D$  がホールドしている  $R$ -信号をドレインバス  $D_r - 64 + 1$  に出力すると共に、前半ではゲートバス  $G_a - 3$ 、後半ではゲートバス  $G_a - 4$  が選択されるので、第3行目の画素は  $G+$ 、第4行目の画素は  $R$ -信号が書き込まれることになる。同時に、第3水平走査周期では  $S/H - A$  及び  $B$  がそれぞれ  $B+$ ,  $G$ -信号をサンプリングする。

以下、同様な動作をくり返し、第1フィールドが走査される。第2フィールドも同様なサンプリング動作及び読み出し動作、画素書き込み動作が行われ

実施例の動作波形図、第3図は第1図に示した実施例中のシフトレジスタの具体的構成例を示す回路図、第4図は第3図に示した回路例の動作波形図、第5図は第1図に示した実施例の制御端子に加える信号を形成する制御回路例を示す構成図、第6図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第二の実施例を示す構成図、第7図は第6図に示した実施例の動作波形図、第8図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第三の実施例を示す構成図、第9図は第8図に示した実施例の動作波形図、第10図と第11図はそれぞれ第6図と第8図に示した実施例の制御端子に加える信号を形成する制御回路例を示す構成図、第12図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第四の実施例を示す構成図、第13図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第五の実施例を示す構成図、第14図は第13図の動作波形を示す



第14回  
(a) 第1フレーム 有効表示期間  
→ 捕獲期間



第 16 図

This diagram illustrates a 16-bit parallel adder circuit, labeled '第 16 図'. The circuit is organized into four main sections: the top section shows the input stage with three inputs  $H_1, H_2, H_3$  and a clock input  $D_H$  feeding into a D flip-flop  $D_0$ . The output of  $D_0$  is connected to the first stage of a carry lookahead tree. The middle section shows the carry lookahead tree, which consists of four levels of logic. The first level has four AND gates (labeled  $W_{11}, W_{12}, W_{13}, W_{14}$ ) receiving inputs from  $H_1, H_2, H_3$  and the  $D_0$  output. The second level has four OR gates (labeled  $W_{21}, W_{22}, W_{23}, W_{24}$ ) receiving inputs from the first level AND gates. The third level has four AND gates (labeled  $W_{31}, W_{32}, W_{33}, W_{34}$ ) receiving inputs from the second level OR gates. The fourth level has four OR gates (labeled  $W_{41}, W_{42}, W_{43}, W_{44}$ ) receiving inputs from the third level AND gates. The bottom section shows the sum and carry generation stages. The sum stage (S) is implemented using four full adders (SA1 to SA4) with inputs  $H_A, H_B, H_C$  and the  $D_0$  output. The carry stage (C) is implemented using four half adders (HFA1 to HFA4) with inputs  $H_A, H_B, H_C$  and the  $D_0$  output. The final output stage (D) is a D flip-flop with a clock input  $D_H$  and an output  $B$ . The circuit is labeled with various intermediate variables and stages, such as  $R_{11}, R_{21}, R_{31}, R_{41}$  and  $G_{11}, G_{21}, G_{31}, G_{41}$ , which represent the results of the carry lookahead calculations.

第17回  
(2) 第1フレーム

(b) 第2アーティカル

Video frames 263, 264, 265, 266 are shown as rectangular blocks. Below them, signals for S/H-A, S/H-B, S/H-C, and Ga-1 to Ga-4 are plotted. S/H-A shows a sequence of four rectangular pulses. S/H-B shows a sequence of three rectangular pulses. S/H-C shows a sequence of two rectangular pulses. Ga-1 shows a single rectangular pulse. Ga-2 shows a single rectangular pulse. Ga-3 shows a single rectangular pulse. Ga-4 shows a single rectangular pulse.

第22図

(2) 第1フーレド

|                | 1H | 2H | 3H | 4H | 5H | 6H | 7H | 8H |
|----------------|----|----|----|----|----|----|----|----|
| X <sub>R</sub> | R+ | G+ | B+ | R+ | G- | B+ | R+ | G+ |
| X <sub>G</sub> | G+ | B+ | R+ | G+ | B+ | R+ | G+ | B+ |
| X <sub>B</sub> | B+ | R+ | G+ | B+ | R+ | G+ | B+ | R+ |
| X <sub>R</sub> | R- | G- | B- | R- | G- | B- | R- | G- |
| X <sub>G</sub> | G- | B- | R- | G- | B- | R- | G- | B- |
| X <sub>B</sub> | B- | R- | G- | B- | R- | G- | B- | R- |

(b) 第2フーレド

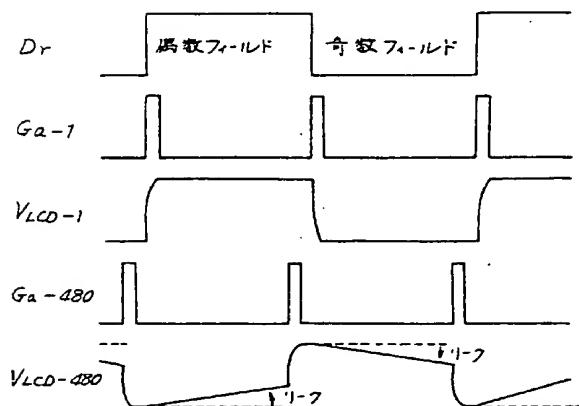
|                | 263H | 264H | 265H | 266H | 267H | 268H | 269H | 270H |
|----------------|------|------|------|------|------|------|------|------|
| X <sub>R</sub> | G+   | B+   | R+   | G+   | B+   | R+   | G+   | B+   |
| X <sub>G</sub> | B+   | R+   | G+   | B+   | R+   | G+   | B+   | R+   |
| X <sub>B</sub> | R+   | G+   | B+   | R+   | G+   | B+   | R+   | G+   |
| X <sub>R</sub> | R-   | G-   | B-   | R-   | G-   | B-   | R-   | G-   |
| X <sub>G</sub> | G-   | B-   | R-   | G-   | B-   | R-   | G-   | B-   |
| X <sub>B</sub> | B-   | R-   | G-   | B-   | R-   | G-   | B-   | R-   |

第23図

第23A-4ワンド

|    |                |                |                |                |                |                |                |      |
|----|----------------|----------------|----------------|----------------|----------------|----------------|----------------|------|
| 1H | R <sub>±</sub> | G <sub>±</sub> | B <sub>±</sub> | R <sub>±</sub> | G <sub>±</sub> | B <sub>±</sub> | R <sub>±</sub> | 263H |
| 2H | B <sub>±</sub> | R <sub>±</sub> | G <sub>±</sub> | B <sub>±</sub> | R <sub>±</sub> | G <sub>±</sub> | B <sub>±</sub> | 264H |
| 3H | G <sub>±</sub> | B <sub>±</sub> | R <sub>±</sub> | G <sub>±</sub> | B <sub>±</sub> | R <sub>±</sub> | G <sub>±</sub> | 265H |
|    | R <sub>±</sub> | G <sub>±</sub> | B <sub>±</sub> | R <sub>±</sub> | G <sub>±</sub> | B <sub>±</sub> | R <sub>±</sub> | 266H |
|    | B <sub>±</sub> | R <sub>±</sub> | G <sub>±</sub> | B <sub>±</sub> | R <sub>±</sub> | G <sub>±</sub> | B <sub>±</sub> |      |

第24図



## 手 続 捕 正 書 (方式)

MIN 6月 12日 12時

特許庁長官 殿

事件の表示

昭和 61 年 特許第 221842 号

発明の名称

倍速搬送次走査回路

補正をする者

出願人の記入 特許出願人

名 称 (510)株式会社 日立製作所

代 理 人

姓 名 東京都千代田区丸の内一丁目5番1号  
株式会社日立製作所 (電話 03-212-1111 (大内)

姓 名 (6850) 女 士 小 川 勝 男



補正の対象 図面の第20図

補正の内容

別紙の通り図面の第20図を補正する。(図中の文字を適切な大きさで記入した。)



- 485 -